

ETCHING METHOD AND APPARATUS

Patent Number: JP9181049
Publication date: 1997-07-11
Inventor(s): URUSHIYA HIROSHI;; ITO GIICHI;; YOSHIDA MASAMICHI;; SUZUKI TAKASHI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP9181049
Application Number: JP19950337100 19951225
Priority Number(s):
IPC Classification: H01L21/3065; C23F4/00; H05H1/46
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve the yield of semiconductor wafers in an etching treatment.
SOLUTION An etching apparatus comprises a vacuum treating vessel 4 shut off from the outside 18 to be capable of forming a vacuum atmosphere inside 4a, means 7 for evacuating the vessel 4, means 5 for feeding a treating gas 13 in the inside 4a of the vessel 4, a sample holder 2 which supports a semiconductor wafer 1 and acts as an electrode, a counter electrode 6 for generating a plasma 12 in the inside 4a of the vessel 4, and an insulative ring 3 which covers the periphery 1d of the surface of the wafer 1 supported on the holder 2 and faces at the holder 2. When etching, a very small gap 14 to block the plasma 12 from turning round to the side face 1a of the wafer 1 is formed between a photo resist film 34 on the surface periphery 1d of the wafer 1 and the ring 3 and etching treatment is done with this periphery contactlessly covered with the ring 3.

Data supplied from the esp@cenet database - I2

015月6日特許公告(1997)

(12) 公開特許公報(A)

(13) 特許公報(1997)

特開9-181049

(14) 公開日 平成9年(1997)7月11日

(51)IntCl ⁴	発明の名称	特許請求の範囲	特許請求の範囲
H01L 21/30(5)		H01L 21/30(5)	C
C23F 4/00		C23F 4/00	A
B01J 1/48		B01J 1/48	B

審査請求 不特許 特許の範囲 (1) (全 12 頁)

(21) 出願番号 特願97-077300

(22) 出願日 平成7年(1995)12月23日

(71) 出願人 KIRKUSON

株式会社日立製作所

東京都千代田区神田神田(有明町) 5 番地

(72) 発明者 横谷 幸史

東京都小平市上水4丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 佐藤 隆一

東京都小平市上水4丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 吉田 正昭

東京都小平市上水4丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 丹野十 龍井 人知

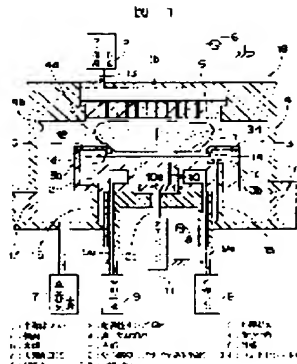
最終頁に続く

045 【文書の形態】 エッチング方法および装置

01 【要約】

【課題】 エッチング処理において、半導体ウェハの歩留りを向上させる。

【解決手段】 外部1 8と遮断されかつ内部4 aに真空雰囲気形成可能な真空処理容器4と、真空処理容器4の内部4 aの排気を行う真空排気手段7と、真空処理容器4の内部4 aに処理ガス1 3を供給するガス供給手段5と、半導体ウェハ1を支持しかつ電極である試料台2と、真空処理容器4の内部4 aにプラズマ1 2を発生させる対向電極6と、試料台2に支持された半導体ウェハ1の表面外周部1 dを覆いかつ試料台2と対向して設けられた絶縁性リング部材3とからなり、エッチング処理時に、半導体ウェハ1の表面外周部1 dのフォトリソ膜3 4と絶縁性リング部材3との間にプラズマ1 2の半導体ウェハ1の側面1 aへのまわり込みを阻止可能な微小空隙1 4を形成し、半導体ウェハ1の表面外周部1 dを絶縁性リング部材3により非接触で覆ってエッチング処理する。



【特許請求の範囲】

【請求項1】 プラズマを用いるエッチング方法であって、
表面にフォトリソ膜を塗布した半導体ウェハを準備し、
前記半導体ウェハを試料台に搭載し、
前記試料台と対向して設けられた絶縁性リング部材によって前記半導体ウェハの表面外周部を覆い、
前記半導体ウェハの表面外周部のフォトリソ膜と前記絶縁性リング部材との間に前記プラズマの前記半導体ウェハの側面へのまわり込みを阻止可能な微小空隙を形成することにより、前記半導体ウェハの表面外周部を前記絶縁性リング部材によって非接触で覆ってエッチング処理することを特徴とするエッチング方法。
【請求項2】 請求項1記載のエッチング方法であって、前記半導体ウェハの表面外周部を前記絶縁性リング部材によって覆う際に、前記半導体ウェハの表面の外周端部から中心内方に向かって3～4mmの範囲の前記表面外周部を覆うことを特徴とするエッチング方法。
【請求項3】 請求項1または2記載のエッチング方法であって、前記半導体ウェハの表面にフォトリソ膜を塗布した後、前記半導体ウェハの側面または裏面もしくはその両面に付着したフォトリソ膜を除去し、前記フォトリソ膜の除去とともに、前記半導体ウェハの表面の外周端部から中心内方に向かって1～2mmの範囲の前記表面外周部に形成されたフォトリソ膜を除去することを特徴とするエッチング方法。
【請求項4】 プラズマを用いて半導体ウェハにエッチング処理を行うエッチング装置であって、
外部と遮断され、かつ内部に真空雰囲気を形成可能な真空処理容器と、
前記真空処理容器の内部の排気を行う真空排気手段と、
前記真空処理容器の内部に処理ガスを供給するガス供給手段と、
前記真空処理容器の内部に前記プラズマを発生させるプラズマ発生手段と、
前記半導体ウェハを支持する試料台と、
前記試料台に支持された半導体ウェハの表面外周部を覆い、かつ前記試料台と対向して設けられた絶縁性リング部材とを有し、
エッチング処理時に、前記半導体ウェハの表面外周部のフォトリソ膜と前記絶縁性リング部材との間に前記プラズマの前記半導体ウェハの側面へのまわり込みを阻止可能な微小空隙を形成し、前記半導体ウェハの表面外周部が前記絶縁性リング部材によって非接触で覆われてエッチング処理されることを特徴とするエッチング装置。
【請求項5】 請求項4記載のエッチング装置であって、前記絶縁性リング部材は前記半導体ウェハの表面の外周端部から中心内方に向かって3～4mmの範囲の前

記表面外周部を覆う部材であることを特徴とするエッチング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術におけるエッチング技術に関し、特に、プラズマを用いるエッチング方法および装置に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、開発するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】プラズマを用いて半導体ウェハに処理を行うエッチング装置としては、互いに対向する一対の電極を備えたエッチング装置が知られている。

【0004】ここで、前記エッチング装置は、一方の電極（試料台）上に半導体ウェハを載置し、これに対向する他方の電極から処理ガスを噴流させると共に、前記2つの電極間に高周波電圧を印加して処理ガスをプラズマ化し、半導体ウェハを加工するものである。

【0005】なお、エッチング処理については、エッチング処理時あるいはエッチング処理後の異物発生を防止する技術の研究開発が進められている。

【0006】また、プラズマを用いたエッチング装置における半導体ウェハの固定（支持）方法については、クランプ方式と静電チャック方式とが知られている。

【0007】まず、クランプ方式のエッチング装置は、エッチング処理時にクランプによって半導体ウェハを直接押えるため、クランプが接触する半導体ウェハの表面外周部の被処理膜（フォトリソ膜など）を除去する必要がある。

【0008】これに伴い、クランプの端部と半導体ウェハの表面外周部の被処理膜との間に空隙部が形成され、その状態でエッチングが行われるため、プラズマが前記空隙部に入り込むこともあり、その結果、半導体ウェハのクランプ近傍に形成された被処理膜が不均一にエッチングされる。

【0009】一方、静電チャック方式のエッチング装置では、半導体ウェハを支持する際に、クランプを用いないため、半導体ウェハの側面にプラズマが回り込み、半導体ウェハの側面もしくは裏面に付着した被処理膜がエッチングされる。

【0010】さらに、クランプを用いた静電チャック方式のマイクロ波エッチング装置もあり、この場合、クランプ近傍の半導体ウェハの表面に形成された被処理膜、さらに、半導体ウェハの側面または裏面に付着した被処理膜が不均一にエッチングされる。

【0011】なお、エッチング装置において異物の発生を防止する技術としては、例えば、特開昭57-145321号公報に開示されている。

【0012】

【発明が解決しようとする課題】ところが、前記した技術においては、半導体ウェハの表面、側面または裏面に形成されたポリシリコンなどの被処理膜がエッチング処理時に不均一にエッチングされ、さらに、前記被処理膜が酸化膜のウェットエッチング時にリフトオフされ、異物となって半導体ウェハの表面に再付着する。

【0013】したがって、半導体ウェハの表面に異物が付着することにより、半導体ウェハの歩留りを低下させるという問題が発生する。

【0014】本発明の目的は、半導体ウェハの歩留りを向上させるエッチング方法および装置を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0017】すなわち、本発明によるエッチング方法は、表面にフォトリソ膜を塗布した半導体ウェハを準備し、前記半導体ウェハを試料台に搭載し、前記試料台と対向して設けられた絶縁性リング部材によって前記半導体ウェハの表面外周部を覆い、前記半導体ウェハの表面外周部のフォトリソ膜と前記絶縁性リング部材との間にプラズマの前記半導体ウェハの側面へのまわり込みを阻止可能な微小空隙を形成することにより、前記半導体ウェハの表面外周部を前記絶縁性リング部材によって非接触で覆ってエッチング処理するものである。

【0018】さらに、本発明によるエッチング方法は、前記半導体ウェハの表面にフォトリソ膜を塗布した後、前記半導体ウェハの側面または裏面もしくはその面に付着したフォトリソ膜を除去し、前記フォトリソ膜の除去とともに、前記半導体ウェハの表面の外周端部から中心内方に向かって1～2mmの範囲の前記表面外周部に形成されたフォトリソ膜を除去するものである。

【0019】また、本発明によるエッチング装置は、外部と遮断されかつ内部に真空雰囲気形成可能な真空処理容器と、前記真空処理容器の内部の排気を行う真空排気手段と、前記真空処理容器の内部に処理ガスを供給するガス供給手段と、前記真空処理容器の内部にプラズマを発生させるプラズマ発生手段と、前記半導体ウェハを支持する試料台と、前記試料台に支持された半導体ウェハの表面外周部を覆いかつ前記試料台と対向して設けられた絶縁性リング部材とを有し、エッチング処理時に、前記半導体ウェハの表面外周部のフォトリソ膜と前記絶縁性リング部材との間に前記プラズマの前記半導体ウェハの側面へのまわり込みを阻止可能な微小空隙を形成し、前記半導体ウェハの表面外周部を前記絶縁性リ

ング部材によって非接触で覆われてエッチング処理されるものである。

【0020】これにより、絶縁性リング部材近傍に形成された被処理膜や、半導体ウェハの側面あるいは裏面に付着した被処理膜のエッチングを防止することができる。

【0021】その結果、半導体ウェハ上の被処理膜の膜剥がれを防止することができ、異物の発生を防止することができる。

【0022】なお、本発明のエッチング装置は、前記絶縁性リング部材が前記半導体ウェハの表面の外周端部から中心内方に向かって3～4mmの範囲の前記表面外周部を覆う部材である。

【0023】

【発明の実施の形態】以下 本発明の実施の形態を図面に基いて詳細に説明する。

【0024】図1は本発明によるエッチング装置の構造の実施の形態の一例を示す部分断面図、図2は本発明のエッチング装置に設けられた絶縁性リング部材の構造の一例を示す図であり、(a)は平面図、(b)は拡大部分断面図、図3～図14は本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図、図15は本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示すプロセスフローである。

【0025】なお 本実施の形態によるエッチング装置は、プラズマ12を用いて半導体ウェハ1にエッチング処理を行うものであり、その一例として、互いに対向する一対の電極を備えたエッチング装置について説明する。

【0026】前記エッチング装置の構成は、外部18と遮断されかつ内部4aに真空雰囲気を形成可能な真空処理容器4と、真空処理容器4の内部4aの排気を行う真空ポンプなどの真空排気手段7と、真空処理容器4の内部4aに処理ガス13を供給するガス供給手段5と、半導体ウェハ1を支持しかつ電極である試料台2と、試料台2と一対を成しかつ真空処理容器4の内部4aにプラズマ12を発生させるプラズマ発生手段である対向電極6と、試料台2に支持された半導体ウェハ1の表面外周部1dを覆いかつ試料台2と対向して設けられた絶縁性リング部材3とからなり、エッチング処理時に、半導体ウェハ1の表面外周部1dのフォトリソ膜34と絶縁性リング部材3との間にプラズマ12の半導体ウェハ1の側面1aへのまわり込みを阻止可能な微小空隙14を形成し、半導体ウェハ1の表面外周部1dが絶縁性リング部材3によって非接触で覆われてエッチング処理されるものである。

【0027】なお、真空処理容器4の内部4aには、ガス供給手段5によって処理ガス13（例えば、Ar、CF₄、CHF₃など）が対向電極6を介して供給され、

それと共に、真空排気手段7によって真空排気が行われることにより、数Torr以下の圧力に制御される。

【0028】さらに、高周波電源8によって対向電極らと試料台2との間に、例えば、400KHz、1300Wの高周波電圧を印加してプラズマ12を発生させ、半導体ウェハ1のエッチングを行う。

【0029】なお、エッチング中、半導体ウェハ1の冷却は、冷却手段9から試料台2内につながる伝熱通路3aに所定の液体（または気体）を流すことによって、試料台2を介して行う。

【0030】また、試料台2における半導体ウェハ1の吸着は、静電吸着方式によるものであり、リフトピン10に半導体ウェハ1を載置し、リフトピン10が取り付けられているリフトピンベース10aおよびリフトピンベース10aを保持しているロッド10bをそれぞれ介して、エアシリンダ11によってリフトピン10を降下させて行う。

【0031】さらに、半導体ウェハ1の試料台2からの取り外しは、前記の逆、つまりエアシリンダ11によってリフトピン10を上昇させ、半導体ウェハ1を押上げて行う。

【0032】また、真空処理容器4の内部4aへの半導体ウェハ1の搬入は、ゲートバルブ17を介して行う。

【0033】ここで、本実施の形態による絶縁性リング部材3は、半導体ウェハ1の表面外周部1dをその全周に渡って非接触で覆うものであり、半導体ウェハ1を試料台2に搭載した際に、半導体ウェハ1の表面外周部1dのフォトレジスト膜34と絶縁性リング部材3との間にプラズマ12の半導体ウェハ1の側面1aへのまわり込みを阻止可能な微小空隙14を形成して覆う。

【0034】なお、微小空隙14は、例えば、19mm程度のものである。

【0035】さらに、絶縁性リング部材3は、石英、セラミック、フッ素樹脂などの絶縁性の材料によって形成され、試料台2の昇降運動を案内する試料台ガイド部材15に、止め金3aおよび支柱3bを介して取り付けられている。

【0036】また、本実施の形態による絶縁性リング部材3は、半導体ウェハ1を試料台2に搭載した際に、半導体ウェハ1の表面1bの外周端部1eから中心内方16に向かって3～4mmの範囲の表面外周部1dを覆うものであり、かつ、オリエンテーションフラットタイプの半導体ウェハ1に対応したものである。

【0037】ただし、絶縁性リング部材3が覆う範囲は、前記3～4mmの範囲に限らず、それよりも狭い範囲または広い範囲を覆っていてもよい。

【0038】次に、本実施の形態によるエッチング方法について説明する。

【0039】なお、本実施の形態では、図3～図12に

示すように、16M-DRAM (Dynamic Random Access Memory) の製造プロセスの場合について、図1～図15を用いて説明する。

【0040】ここで、図15に示すフローは、16M-DRAMの製造工程を示すものである。

【0041】まず、容量（キャパシタ）形成に際し、図3に示すように、ベース基板47上に素子形成領域であるウェル部48およびチャネルストッパ49が形成され、かつウェル部48に酸化膜20とゲート電極21が形成された半導体ウェハ1を準備する。

【0042】続いて、図3、図15に示すように、半導体ウェハ1の表面1b全体に酸化膜22を塗布し、ゲート電極21および酸化膜20をSiO₂などの酸化膜22によって覆う酸化膜形成23を行う。

【0043】さらに、図4、図15に示すように、酸化膜22上にポリシリコンなどからなる1層目の導体膜24を形成（堆積）する導体膜形成25を行う。

【0044】その後、図5、図15に示すように、導体膜24上に再びSiO₂などの酸化膜26を形成する酸化膜形成27を行う。

【0045】続いて、図6に示すように、酸化膜26上に、パターニングされたフォトレジスト膜28を塗布し、さらにエッチングによって、酸化膜22、26（図3、図5参照）および導体膜24（図4参照）を除去し、接続孔であるコンタクトホール29を形成する。

【0046】すなわち、コンタクトホール形成30を行う。

【0047】続いて、図6に示したフォトレジスト膜28を除去した後、図7、図15に示すように、酸化膜26およびコンタクトホール29上にポリシリコンなどからなる2層目の導体膜31を形成（堆積）する導体膜形成33を行う。

【0048】その後、図8に示すように、導体膜31上に、パターニングされたフォトレジスト膜34を塗布する（準備する）。

【0049】この時、半導体ウェハ1の表面1bに対して、予め、乾燥などの前処理を行っておく。

【0050】さらに、半導体ウェハ1の表面1bにフォトレジスト膜34を塗布した際に半導体ウェハ1の側面1aまたは裏面1cもしくはその両面に付着したフォトレジスト膜34を除去する。

【0051】ここで、フォトレジスト膜34を除去する際に、フォトレジスト膜34の除去とともに、図2

（b）に示すように、半導体ウェハ1の表面1bの外周端部1eから中心内方16に向かって1～2mmの範囲の表面外周部1dに形成されたフォトレジスト膜34を除去する。

【0052】つまり、半導体ウェハ1の表面1bの外周端部1eから中心内方16に向かって1～2mmの範囲のフォトレジスト膜34を除去し、それ以外のフォトレ

ジスト膜34をそのまま残す。

【0053】ただし、フォトレジスト膜34の除去範囲は、前記1～2mmの範囲に限らず、それよりも狭い範囲または広い範囲を除去してもよい。

【0054】その後、半導体ウェハ1をエッチング処理が行われる本実施の形態によるエッチング装置の試料台2に搭載し、さらに、図1または図2(b)に示すように、試料台2と対向して設けられた絶縁性リング部材3によって半導体ウェハ1の表面外周部1dを覆う。

【0055】ここで、半導体ウェハ1の表面外周部1dを絶縁性リング部材3によって覆う際に、半導体ウェハ1の表面1bの外周端部1eから中心内方16に向かって3～4mmの範囲の表面外周部1dを非接触で覆う。

【0056】この時、半導体ウェハ1の表面外周部1dのフォトレジスト膜34と絶縁性リング部材3とをオーバーラップさせ、さらに、フォトレジスト膜34と絶縁性リング部材3との間にプラズマ12の半導体ウェハ1の側面1aおよび裏面1cへのまわり込みを阻止可能な0.9mm程度の微小空隙14を形成することにより、半導体ウェハ1の表面外周部1dのフォトレジスト膜34を絶縁性リング部材3によって非接触で覆うものである。

【0057】なお、フォトレジスト膜34と絶縁性リング部材3とがオーバーラップしていれば（半導体ウェハ1をその上方から眺めた時にフォトレジスト膜34と絶縁性リング部材3とが重なっていれば）、フォトレジスト膜34の除去範囲と絶縁性リング部材3の覆う範囲は、それぞれ前記1～2mm、前記3～4mm以外の範囲であってもよい。

【0058】続いて、本実施の形態によるエッチング装置を用いて、図8、図13および図15に示すように、所定のフォトレジスト膜34および所定の導体膜31のエッチング処理35を行う。

【0059】すなわち、半導体ウェハ1の表面外周部1dを絶縁性リング部材3によって非接触で覆って、フォトレジスト膜34および導体膜31のエッチング処理35を行い、所定のフォトレジスト膜34および所定の導体膜31を除去する。

【0060】この時、図13に示すように、プラズマ12の半導体ウェハ1の側面1aおよび裏面1cへのまわり込みを防止することができる。

【0061】その後、図9、図15に示すように、ウェットエッチングなどによって酸化膜26（図8参照）を除去するウェットエッチング処理36を行う。

【0062】さらに、図10、図15に示すように、酸化膜22上の所定の導体膜24を除去するエッチング処理37を行う。

【0063】この時、前記同様、図1、図2および図14に示す本実施の形態のエッチング装置を用いることにより、プラズマ12の半導体ウェハ1の側面1aへのま

わり込みを防止することができる。

【0064】その後、図11、図15に示すように、酸化膜22、導体膜24および導体膜31の露出部に窒化珪素（Si₃N₄）などからなる積層形の容量絶縁膜38を形成する絶縁膜形成39を行い、さらに、容量絶縁膜38を酸化する絶縁膜酸化40を行う。

【0065】続いて、図12、図15に示すように、容量絶縁膜38上に、3層目の導体膜41を形成（堆積）する導体膜形成42を行う。

【0066】これにより、容量であるフィン形キャパシタ43を形成することができる。

【0067】本実施の形態によるエッチング方法および装置によれば、以下のような作用効果が得られる。

【0068】すなわち、試料台2に支持された半導体ウェハ1の表面外周部1dを覆う絶縁性リング部材3を有し、エッチング処理35、37を行う際に、半導体ウェハ1の表面外周部1dと絶縁性リング部材3との間にプラズマ12の半導体ウェハ1の側面1aへのまわり込みを阻止可能な微小空隙14を形成し、半導体ウェハ1の表面外周部1dを絶縁性リング部材3によって非接触で覆ってエッチング処理35、37を行うことにより、プラズマ12の半導体ウェハ1の側面1aあるいは裏面1cへの回り込みを防止することができる。

【0069】さらに、非接触で半導体ウェハ1の表面外周部1dを覆うため、絶縁性リング部材3の近傍に形成されたフォトレジスト膜28、34や、半導体ウェハ1の側面1aあるいは裏面1cに付着したフォトレジスト膜28、34のエッチングを防止することができる。

【0070】これにより、半導体ウェハ1上のフォトレジスト膜28、34の膜剥がれを防止することができ、異物の発生を防止することができる。

【0071】その結果、半導体ウェハ1の歩留りを向上させることができる（歩留りを10%程度向上させることができる）。

【0072】また、半導体ウェハ1の側面1aまたは裏面1cもしくはその両面に付着したフォトレジスト膜28、34を除去する際に、フォトレジスト膜28、34の除去とともに、半導体ウェハ1の表面1bの外周端部1eから中心内方16に向かって1～2mmの範囲の表面外周部1dに形成されたフォトレジスト膜28、34を除去し（それ以外の箇所のフォトレジスト膜28、34は残す）、この状態で半導体ウェハ1の表面1bの外周端部1eから中心内方16に向かって3～4mmの範囲の表面外周部1dを絶縁性リング部材3によって覆ってエッチング処理35、37を行うことにより、半導体ウェハ1の表面外周部1dと絶縁性リング部材3とが微小空隙14を介して重なり合うため、プラズマ12の回り込みを阻止することができる。

【0073】これにより、ドライエッチング時に、製品パターン以外のエッチングを防止することができ、酸化

膜のウェットエッチングを行ってもポリシリコンなどの導体膜24、31の膜剥がれを防止することができる。

【0074】その結果、前記膜剥がれによる異物の半導体ウェハ1への再付着を防止することができるため、半導体ウェハ1の歩留りを向上させることができる。

【0075】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0076】例えば、前記実施の形態で説明した絶縁性リング部材は、試料台の昇降運動を案内する試料台ガイド部材に取り付けられているものであるが、前記絶縁性リング部材は、図16～図18に示す他の実施の形態のエッチング装置のように、前記試料台ガイド部材以外の部材に取り付けられていてもよい。

【0077】ここで、図16に示すエッチング装置においては、絶縁性リング部材3が真空処理容器4の内壁4bに取り付けられている。

【0078】また、図17に示すエッチング装置においては、絶縁性リング部材3が対向電極6に取り付けられている。

【0079】さらに、図18に示すエッチング装置においては、絶縁性リング部材3が可動（昇降）自在に支持されており、昇降手段44によって絶縁性リング部材3を所望の位置（高さ）で固定することができる。

【0080】この場合、絶縁性リング部材3を半導体ウェハ1から離して固定することにより、半導体ウェハ1の側面1aや裏面1cなどにプラズマ12をまわり込ませることができ、その結果、半導体ウェハ1の側面1aや裏面1cをエッチングすることも可能になる。

【0081】なお、図16～図18のエッチング装置においても、前記実施の形態によるエッチング装置と同様の作用効果が得られることは言うまでもない。

【0082】また、前記実施の形態によるエッチング装置は、電極である試料台と一對を成す対向電極を備えるものであったが、前記エッチング装置は、図19に示すようなマイクロ波エッチング装置であってもよい。

【0083】すなわち、図19に示すマイクロ波エッチング装置は、プラズマ発生手段であるマグネトロン45からマイクロ波46を発振し、マイクロ波46を真空処理容器4に照射することにより、真空処理容器4の内部4aにプラズマ12を発生させるものであり、このプラズマ12を用いて半導体ウェハ1にエッチングを行うものである。なお、コイル50は、プラズマ12の発生位置などを調節するものである。

【0084】このマイクロ波エッチング装置においても、前記実施の形態の絶縁性リング部材3と同様の絶縁性リング部材3を用いることにより、前記実施の形態によるエッチング装置と同様の作用効果を得ることができ

る。

【0085】また、前記実施の形態または前記他の実施の形態によるエッチング装置に設置された絶縁性リング部材は、オリエンテーションフラットタイプの半導体ウェハであっても、ノッチタイプの半導体ウェハであってもどちらにでも適用可能なものである。

【0086】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0087】(1)、半導体ウェハの表面外周部を覆う絶縁性リング部材を有し、エッチング処理時に、半導体ウェハの表面外周部のフォトレジスト膜と絶縁性リング部材との間に微小空隙を形成し、半導体ウェハの表面外周部を絶縁性リング部材によって非接触で覆ってエッチング処理することにより、プラズマの半導体ウェハの側面あるいは裏面への回り込みを防止することができる。これにより、半導体ウェハ上の被処理膜の膜剥がれを防止することができ、異物の発生を防止することができる。その結果、半導体ウェハの歩留りを向上させることができる。

【0088】(2)、半導体ウェハの側面または裏面もしくはその両面に付着したフォトレジスト膜を除去する際に、半導体ウェハの表面の外周端部から中心内方に向かって1～2mmの範囲の表面外周部に形成されたフォトレジスト膜を除去し、この状態で半導体ウェハの表面の外周端部から中心内方に向かって3～4mmの範囲の表面外周部を絶縁性リング部材によって覆ってエッチング処理を行うことにより、ドライエッチング時に、製品パターン以外のエッチングを防止することができる。その結果、膜剥がれによる異物の半導体ウェハへの再付着を防止することができるため、半導体ウェハの歩留りを向上させることができる。

【図面の簡単な説明】

【図1】本発明によるエッチング装置の構造の実施の形態の一例を示す部分断面図である。

【図2】本発明のエッチング装置に設けられた絶縁性リング部材の構造の一例を示す図であり、(a)は平面図、(b)は拡大部分断面図である。

【図3】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図4】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図5】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図6】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

図である。

【図7】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図8】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図9】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図10】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図11】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図12】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図13】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図14】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図15】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示すプロセスフローである。

【図16】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。

【図17】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。

【図18】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。

【図19】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。

【符号の説明】

1 半導体ウェハ

1 a 側面

1 b 表面

1 c 裏面

1 d 表面外周部

1 e 外周端部

2 試料台

3 絶縁性リング部材

3 a 止め金

3 b 支柱

4 真空処理容器

4 a 内部

4 b 内壁

5 ガス供給手段

6 対向電極（プラズマ発生手段）

7 真空排気手段

8 高周波電源

9 冷却手段

9 a 冷却通路

10 リフトピン

10 a リフトピンヘーフ

10 b ロット

11 エアシリンダ

12 プラズマ

13 処理ガス

14 微小空隙

15 試料台ガイド部材

16 中心内方

17 ゲートバルブ

18 外部

20 酸化膜

21 ゲート電極

22 酸化膜

23 酸化膜形成

24 導体膜

25 導体膜形成

26 酸化膜

27 酸化膜形成

28 フォトリソist膜

29 コンタクトホール

30 コンタクトホール形成

31 導体膜

32 導体膜形成

34 フォトリソist膜

35 エッチング処理

36 ウェットエッチング処理

37 エッチング処理

38 容量絶縁膜

39 絶縁膜形成

40 絶縁膜酸化

41 導体膜

42 導体膜形成

43 フィン形キャパシタ

44 昇降手段

45 マグネトロン（プラズマ発生手段）

46 マイクロ波

47 ベース基板

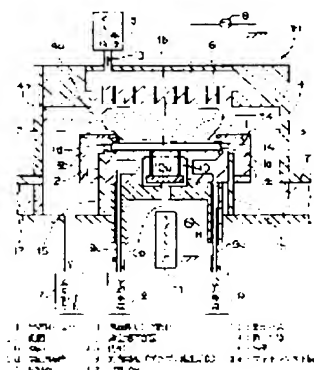
48 ウェル部

49 チャネルストップパ

50 コイル

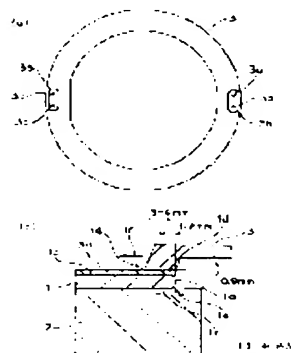
【图1】

图 1



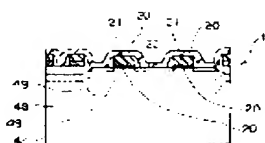
【图2】

图 2



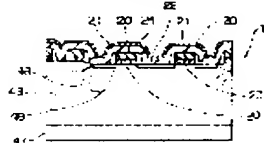
【图3】

图 3



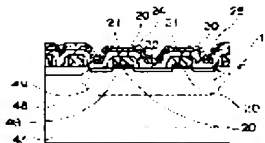
【图4】

图 4



【图5】

图 5

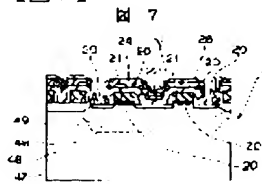


【图6】

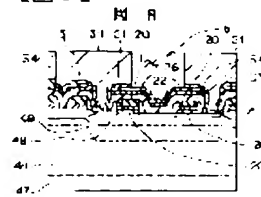
图 6



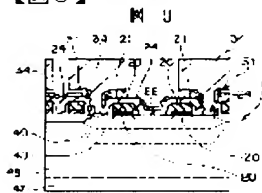
【図7】



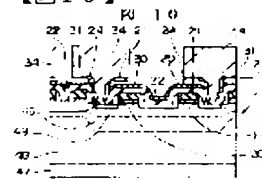
【図8】



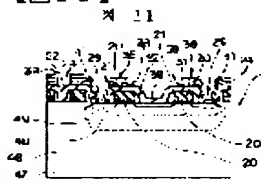
【図9】



【図10】



【図11】

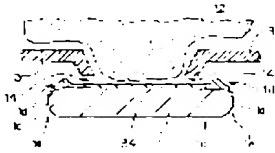


【図12】



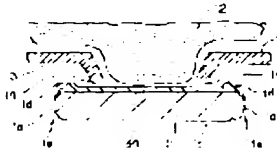
【図13】

図 13



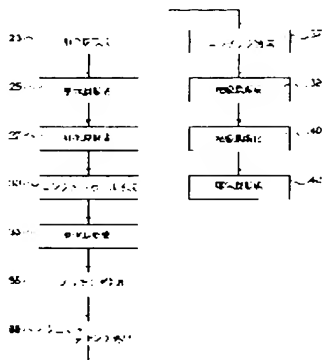
【図14】

図 14



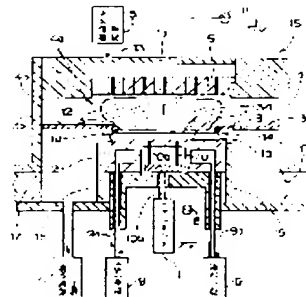
【図15】

図 15



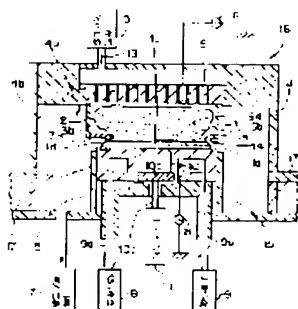
【図16】

図 16



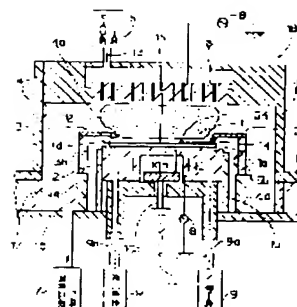
【図17】

図 17



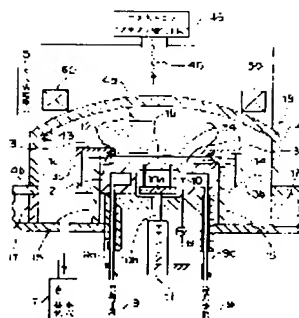
【図18】

図 18



【図19】

図 19



フロントページの続き

発明者 鈴木 敬史

東京都小平市上水本町5丁目2番1号 株
式会社日立製作所半導体事業部内